

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 60030171
PUBLICATION DATE : 15-02-85

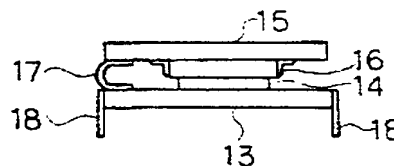
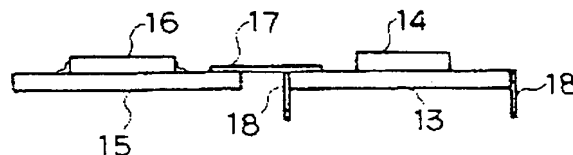
APPLICATION DATE : 28-07-83
APPLICATION NUMBER : 58138477

APPLICANT : TOSHIBA CORP;

INVENTOR : KAGEYAMA SEIICHI;

INT.CL. : H01L 27/10 H01L 27/00

TITLE : HYBRID INTEGRATED CIRCUIT
DEVICE



•ABSTRACT : PURPOSE: To enable to use a package formed in a small type, to meet standardized requirements, and to be used for an ultraviolet rays erasable programmable read-only memory (UV-EPROM) by a method wherein the ultraviolet rays transmitting window of the package of the UV-EPROM is enabled to be covered with a printed substrate equipped with other integrated circuit elements.

CONSTITUTION: A UV-EPROM is mounted on a leadless chip carrier 14 together with a decoder, an inverter and a gate circuit, the carrier is equipped on a printed substrate 13, a CMOS static RAM is mounted on a flat package 16, the package is equipped on a printed substrate 15, and the substrate 13 and the substrate 15 are connected electrically to a flexible printed-substrate 17. Data are written to the memory elements of the UV-EPROM, the substrate 15 is folded back on the substrate 13, and the ultraviolet rays transmitting window of the package of the UV-EPROM is covered with the flat package 16 to shield ultraviolet rays. The pin function and pin width of lead terminals 18 are made to size specified by the JEDEC to enable to use an IC and a PROM writer for a wide use.

COPYRIGHT: (C)1985,JPO&Japio

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-30171

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)2月15日

H 01 L 27/10
27/00

6655-5F
6655-5F

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 混成集積回路装置

⑯ 特 願 昭58-138477

⑰ 出 願 昭58(1983)7月28日

⑱ 発 明 者 影 山 精 一 東京都府中市東芝町1 東京芝浦電気株式会社府中工場内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑳ 代 理 人 弁 理 士 須 山 佐 一

明 細 書

1. 発明の名称 混成集積回路装置

2. 特許請求の範囲

(1) パッケージに紫外線透過窓を備えた紫外線消去型リード・オンリー・メモリに他の集積回路素子を電気的に接続一体化してなる混成集積回路装置において、前記紫外線消去型リード・オンリー・メモリと他の集積回路素子とをそれぞれ別のプリント基板上に装着し、前記紫外線消去型リード・オンリー・メモリを装着したプリント基板と他の集積回路素子を装着したプリント基板とをフレキシブルプリント基板で電気的に接続し、前記他の集積回路素子を装着したプリント基板で前記紫外線消去型リード・オンリー・メモリのパッケージの前記紫外線透過窓を覆い得るようにしてなることを特徴とする混成集積回路装置。

3. 発明の詳細な説明

[発明の技術分野]

本発明は、紫外線消去型リード・オンリー・メモリ(以下UV-E PROMと略記する)に他の

集積回路素子を電気的に接続一体化して構成される混成集積回路装置に関する。

[発明の技術的背景]

UV-E PROMは、外部から集積回路チップに紫外線を照射することによりメモリセルに記憶されている情報を消去することができ、再び新たな情報を記憶させることができるように構成されている。

第1図は、このようなUV-E PROM 1を示すもので、このUV-E PROM 1では集積回路チップ2を収容したパッケージ3の上面には紫外線透過窓4が設けられて、この透過窓4を介して、パッケージ3内部の集積回路チップ2に紫外線5を照射し得るようになってる。紫外線透過窓4は石英ガラスやサファイア板、または透明アルミナ等から作られており、常時はこの紫外線透過窓4に紫外線遮光シール(図示せず)が貼着されてメモリセルに記憶された情報を保護するようにされている。そしてこの情報の消去は、紫外線遮光シールを剥がして紫外線透過窓4から強い紫外線を

AM6~8はフラットパッケージ16に実装され、プリント基板15に装着される。そしてこのプリント基板13とプリント基板15はフレキシブルプリント基板17により電気的に接続される。なお符号18はプリント基板13と外部回路との接続を目的とするリード端子であり、リード端子18のピン機能およびピンの幅はJEDECで指定された寸法として汎用のICソケットやPROMライタの使用を可能とする。

第2図のようにして各リードレスチップキャリア14およびフラットパッケージ16を基板13、15に装着した状態でUV-E PROM9のメモリ素子にデータの書き込みを行なった後に第4図に示すように、基板15を基板13上に折返して、リードレスチップキャリア14中に実装されたUV-E PROM9のパッケージの紫外線透過窓をフラットパッケージ16で覆い紫外線の遮光を行なう。この際、フラットパッケージ16とリードレスチップキャリア14とは接着剤で貼着する。

このようにしてフラットパッケージ16とリー

ドレスチップキャリア14を貼合せ、基板13上に装着されたUV-E PROM9の紫外線透過窓をCMOSスタティックRAM6~8が実装されたフラットパッケージ16により覆い、封止して外部からの遮光を行なうのである。この際、遮光を完全にしてかつ機械的強度を強化するために、第4図の貼合せた状態で黒色のエポキシ樹脂等で回路全体をパッキングしてしまえば全体としてワンチップの混成集積回路装置として利用が可能になる。

第5図は本発明になる混成集積回路装置の他の実施例を示す側面図である。本実施例においては、UV-E PROMを実装するパッケージとして、リードレスチップキャリアを用いずにJEDECで規定された仕様のDIP19を用いた場合である。

このようにUV-E PROMをJEDEC仕様のDIP19に実装し、このDIP19をICソケット21に装着する。このICソケット21はフレキシブルプリント基板22によりプリント基

板20と電気的に接続されており、このプリント基板20上にはCMOSスタティックRAMを実装したフラットパッケージ24が装着されている。符号23はICソケット21の出力リード端子である。

このようにしてUV-E PROMをDIP19上に装着すればUV-E PROMの書き込み消去が市販のPROMライタや消去器2により行なうことが可能となる。

そしてこの第5図の状態ではUV-E PROMのメモリ素子にデータを消込んだ後には、第4図と同様にフレキシブルプリント基板22を折り曲げてプリント基板20をICソケット21上に覆い被せ、フラットパッケージ24とDIP19の表面を接着剤により貼着してUV-E PROMの紫外線透過窓を封止する。

なお第2図の回路例の他に、例えば第5図に示したフラットパッケージ24中にCMOSスタティックRAMおよびI/Oコントローラを有するワンチップマイクロコンピュータを実装して、U

V-E PROMにそのマイクロコンピュータのオペレーティングシステムOSを記憶させると、ビジーバック型マイクロコンピュータと同様の機能を構成し得る。

〔発明の効果〕

以上説明したように本発明になる混成集積回路装置においては、UV-E PROMを実装したチップと他の集積回路素子を実装したチップをそれぞれ別のプリント基板上に装着して各プリント基板をフレキシブルプリント基板で電気的に接続し、UV-E PROMのメモリ素子にデータを消込んだ後には、他の集積回路素子を装着した基板をUV-E PROMを装着した基板上に折返して紫外線透過窓を封止するようにしたのでUV-E PROMを混成集積回路装置中に実装して、このUV-E PROMへの書き込み消去を市販のPROMライタや消去器により実行することが可能となる。

さらに紫外線遮光用のシールを別に用意する必要もなくなり、回路のデパッキング操作を行なう場合には、回路を平面状に広げて行ない、デパッ

ギング操作が完了した際には機器に組込む以前にフレキシブルプリント基板を折曲げてUV-EPRROMと他の集積回路素子を貼着することが可能となり、回路のデバッキング動作が簡単に行えるとともに、この混成集積回路装置の電子機器への実装時には、平面的な実装密度を高められるという効果も得られる。

4. 図面の簡単な説明

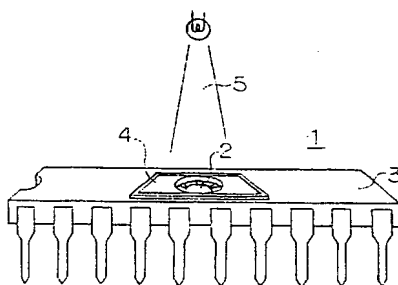
第1図は従来の混成集積回路装置を示す斜視図、第2図は本発明による混成集積回路装置へ実装される回路例を示すブロック図、第3図および第4図は本発明になる混成集積回路装置の実施例を示す側面図、第5図は本発明になる混成集積回路装置の他の実施例を示す側面図である。

- 1、9 …… UV-EPRROM
- 2 …… 集積回路チップ
- 3 …… パッケージ
- 4 …… 紫外線透過窓
- 5 …… 紫外線
- 6～8 …… CMOSスタティックRAM

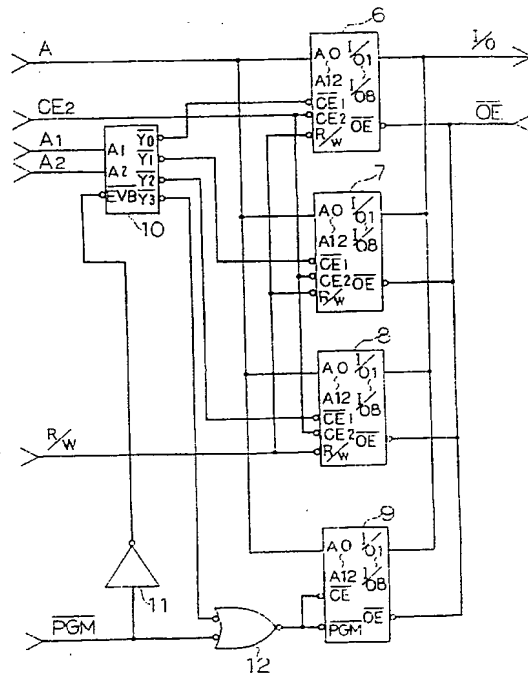
- 10 …… デコード
- 13、15、20 …… プリント基板
- 14 …… リードレスチップキャリア
- 16 …… フラットパッケージ
- 17 …… フレキシブルプリント基板
- 18、21 …… リード端子
- 19 …… DIP
- 21 …… ICソケット

代理人弁理士 須山 佑一

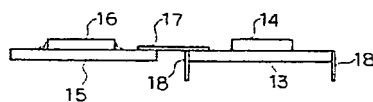
第 1 図



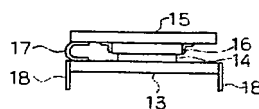
第 2 図



第 3 図



第 4 図



第 5 図

